

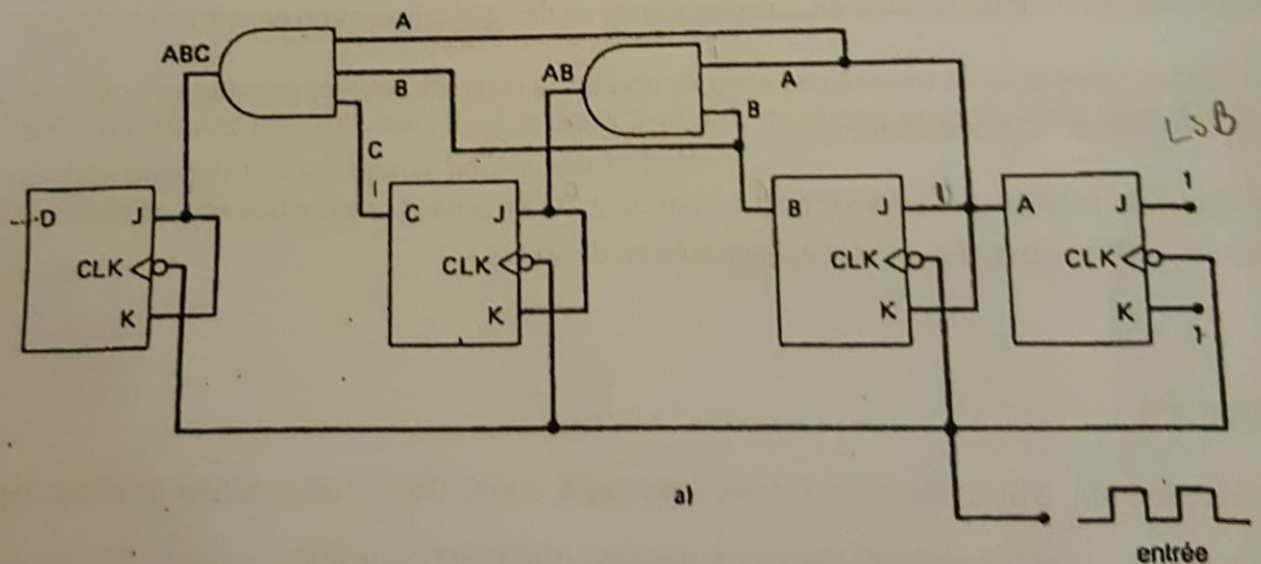
Calculatrice non programmable autorisée.

Téléphone portable interdit

EXERCICE N°1

Soit le circuit à base de bascules JK ci-dessous :

- 1- Analyser son fonctionnement en représentant à l'aide d'un chronogramme les sorties A, B, C et D en fonction du signal d'horloge CLK. Lors de la représentation du chronogramme, on tiendra compte du temps de propagation du signal dans les portes ET.
- 2- Quelle opération est réalisée ?
- 3- Déterminer sa fréquence maximale de fonctionnement si le retard de propagation de chaque bascule JK est de 40ns et celui de chaque porte ET est de 10ns. Comparer cette valeur à celle d'un compteur asynchrone de même modulo.
- 4- A partir de ce schéma, proposer des transformations afin de réaliser un compteur MODULO 32. Que vaut alors sa fréquence de travail maximale ? Conclusion.



EXERCICE N°2

On considère une mémoire RAM de $4k \times 8$ bits.

- 1) Quelles est la taille de son bus d'adresse.
- 2) Représentez cette mémoire par un boîtier fonctionnel en précisant le nombre de lignes d'adresses.

À partir de ces boîtiers mémoire élémentaires, on souhaite réaliser une mémoire $16k \times 16$ bits.

- 3) Indiquer le nombre de boîtiers nécessaire en justifiant votre réponse.
- 4) Donner le schéma complet de cette mémoire $16k \times 16$ bits en indiquant le logigramme du décodeur d'adresse si ce dernier est nécessaire.

EXERCICE N°3

Soit un CAN de résolution 16 bits qui possède une plage d'entrée comprise entre -4 V et $+4$ V, une erreur pleine échelle de ± 1 LSB et une erreur de non linéarité de ± 1 LSB. Ce CAN a été optimisé pour que l'erreur de quantification soit centrée sur la caractéristique de transfert théorique.

- 1- Quelle est la valeur du quantum ?
- 2- Compte tenu des caractéristiques du CAN données dans l'énoncé, combien vaut l'erreur totale ?
- 3- Quelle est la valeur du nombre en sortie exprimée en décimal si la tension en entrée est de $(-0.5V)$?
- 4- En tenant compte de la totalité des erreurs, donner la plage de tension possible en entrée pour la valeur calculée dans la question 3).
- 5- La valeur de tension d'entrée est maintenant de $2,2V$. En tenant compte des erreurs dues au CAN, donner les valeurs possibles en sortie, exprimée en décimal.

EXERCICE N°4

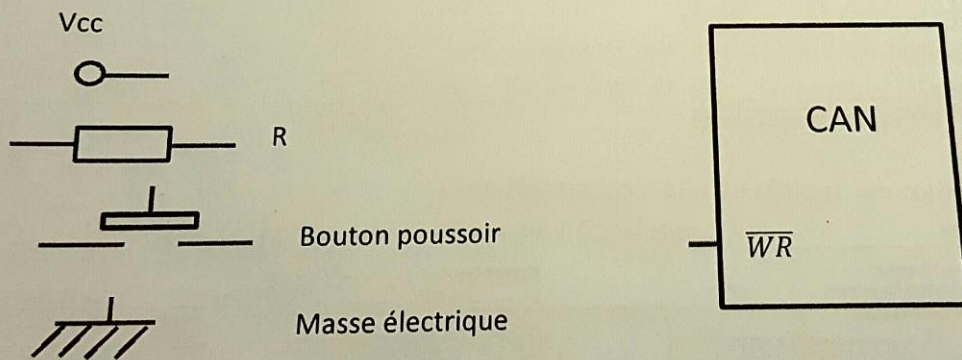
Soit la fonction $f(A, B \text{ et } C)$ fonction de trois variables A, B et C . On souhaite réaliser un circuit logique dont la sortie $S=1$ si et seulement si au plus une des entrées est égale à 1.

1. Déterminer la table de vérité de cette fonction.
2. Déterminer le tableau de Karnaugh de cette fonction.
3. A l'aide de ce dernier tableau, déterminer l'expression simplifiée de la fonction $f(A, B \text{ et } C)$.
4. Proposer un circuit réalisant cette fonction. Ce circuit ne devra comporter que des portes NAND deux entrées.

EXERCICE N°5

On désire commander à l'aide d'un bouton poussoir l'entrée \overline{WR} d'un convertisseur analogique-numérique ADC0804 dont un extrait de documentation est donné en annexe 1.

- 1- Quelle est la technologie du convertisseur ?
- 2- Déterminer les plages de tensions en entrée et en sortie pour les différents états logiques.
- 3- Quelle est la valeur maximum du courant d'entrée à l'état haut ?
- 4- On souhaite assurer un **niveau logique 0** sur l'entrée \overline{WR} en appuyant sur un bouton poussoir. Vous disposez d'une alimentation continue $V_{cc} = 5V$, d'une masse électrique, d'un bouton poussoir et d'une résistance R . En associant les différents éléments ci-dessous, proposer un schéma permettant de maintenir un 0 logique sur \overline{WR} lorsque qu'on appuie sur le bouton poussoir. Lorsque le bouton poussoir est relâché, un niveau logique 1 doit être appliqué sur \overline{WR} .



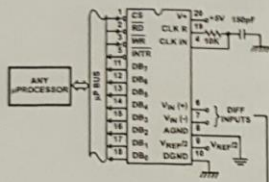
- 5- A partir des valeurs trouvées dans les questions 2 et 3 et du circuit proposé dans la question 4, déterminer la plage de valeur possible pour la résistance R .

8-Bit, Microprocessor-Compatible, A/D Converters

The ADC08XX family are CMOS 8-Bit, successive-approximation A/D converters which use a modified potentiometric ladder and are designed to operate with the 8051A control bus via three-state outputs. These converters appear to the processor as memory locations or I/O ports, and hence no interfacing logic is required.

The differential analog voltage input has good common-mode-rejection and permits offsetting the analog zero-input-voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

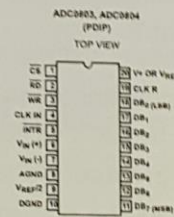
Typical Application Schematic



Features

- 80C48 and 80C80/85 Bus Compatible - No Interfacing Logic Required
- Conversion Time 410µs
- Easy Interface to Most Microprocessors
- Will Operate in a "Stand Alone" Mode
- Differential Analog Voltage Inputs
- Works with Bandgap Voltage References
- TTL Compatible Inputs and Outputs
- On-Chip Clock Generator
- Analog Voltage Input Range (Single +5V Supply) 0V to 5V
- No Zero-Adjust Required
- 80C48 and 80C80/85 Bus Compatible - No Interfacing Logic Required

Pinout



Ordering Information

PART NUMBER	ERROR	EXTERNAL CONDITIONS	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
ADC0803LCN	±1/2 LSB	VREF/2 Adjusted for Correct Full Scale Reading	0 to 70	20 Ld PDIP	E20.3
ADC0804LCN	±1 LSB	VREF/2 = 2.500V _{DCC} (No Adjustments)	0 to 70	20 Ld PDIP	E20.3

CAUTION: These devices are sensitive to electrostatic discharge. Follow proper IC Handling Procedures. L488-INTERSIL or 317-724-7143. Intersil (and its logo) is a registered trademark of Intersil America, Inc. Copyright © Intersil America, Inc. 2002. All Rights Reserved.

ADC0803, ADC0804

Absolute Maximum Ratings

Supply Voltage 6.5V
Voltage at Any Input -0.3V to (V₊ + 0.3V)

Thermal Information

Thermal Resistance (Typical, Note 1) θ_{JA} (°C/W)
PDIP Package 60
Maximum Junction Temperature 150°C
Plastic Package 100°C
Maximum Storage Temperature Range -65°C to 150°C
Maximum Lead Temperature (Soldering, 100%) 300°C

Operating Conditions

Temperature Range 0°C to 70°C

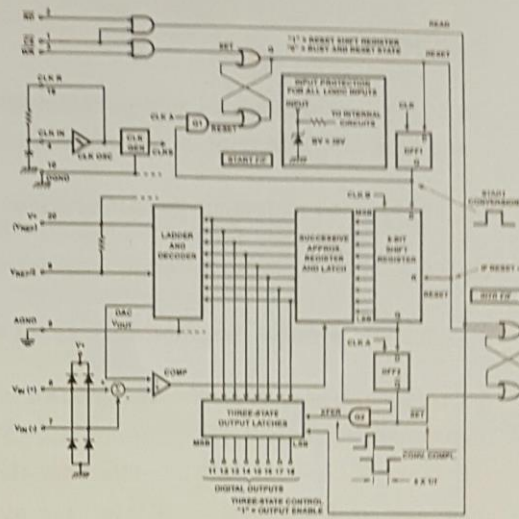
CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE: 1. θ_{JA} is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

Electrical Specifications (Notes 2, 8)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
CONVERTER SPECIFICATIONS V₊ = 5V, T_A = 25°C and f_{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error ADC0803	VREF/2 Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	VREF/2 = 2.500V	-	-	±1	LSB
VREF/2 Input Resistance	Input Resistance at Pin 9 (Note 3)	1.0	1.3	-	kΩ
Analog Input Voltage Range	Over Analog Input Voltage Range	-	±1/16	±1/8	LSB
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/16	±1/8	LSB
Power Supply Sensitivity	V ₊ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
CONVERTER SPECIFICATIONS V₊ = 5V, 0°C to 70°C and f_{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error ADC0803	VREF/2 Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	VREF/2 = 2.500V	-	-	±1	LSB
VREF/2 Input Resistance	Input Resistance at Pin 9 (Note 3)	1.0	1.3	-	kΩ
Analog Input Voltage Range	Over Analog Input Voltage Range	-	±1/16	±1/8	LSB
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/16	±1/8	LSB
Power Supply Sensitivity	V ₊ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
AC TIMING SPECIFICATIONS V₊ = 5V, and T_A = 25°C, Unless Otherwise Specified					
Clock Frequency, f _{CLK}	V ₊ = 6V (Note 4)	100	640	1280	kHz
	V ₊ = 5V	100	640	800	kHz
Clock Periods per Conversion (Note 5), t _{CONV}	-	-	-	8888	Clocks/Conv
Conversion Rate in Free-Running Mode, CR	INTR tied to WR with CS = 0V, f _{CLK} = 640kHz	100	-	-	ns
Width of WR Input (Start Pulse Width), t _{WRW}	CS = 0V (Note 6)	-	-	-	ns
t _{WRW}	C _L = 100pF (Use Bus Driver IC for Larger C _L)	-	135	200	ns
Access Time (Delay from Falling Edge of RD to Output Data Valid), t _{ACC}	C _L = 10pF, R _L = 10k	-	125	250	ns
Three-State Control (Delay from Rising Edge of RD to Hi-Z State), t _{HSZ}	(See Three-State Test Circuits)	-	300	450	ns
Delay from Falling Edge of WR to Reset of INTR, t _{WR} , t _{RI}	-	-	5	-	µs
Input Capacitance of Logic Control Inputs, C _{IN}	-	-	5	-	µF
Three-State Output Capacitance (Data Buffers), C _{OUT}	-	-	5	-	µF

Functional Diagram



ADC0803, ADC0804

Electrical Specifications (Notes 2, 8) (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DC DIGITAL LEVELS AND DC SPECIFICATIONS V₊ = 5V, and I_{DD} to I_{DD}MAX, Unless Otherwise Specified					
CONTROL INPUTS (Note 7)					
Logic '1' Input Voltage (Except Pin 4 CLK IN), V _{IN1}	V ₊ = 5.25V	2.0	-	V ₊	V
Logic '0' Input Voltage (Except Pin 4 CLK IN), V _{IN0}	V ₊ = 4.75V	-	-	0.8	V
CLK IN (Pin 4) Positive Going Threshold Voltage, V _{CLKX}	-	2.7	3.1	3.5	V
CLK IN (Pin 4) Negative Going Threshold Voltage, V _{CLKN}	-	1.5	1.9	2.1	V
CLK IN (Pin 4) Hysteresis, V _H	-	0.8	1.3	2.0	V
Logic '1' Input Current (All inputs), I _{DD1}	V _{IN} = 5V	-	0.005	1	µA
Logic '0' Input Current (All inputs), I _{DD0}	V _{IN} = 0V	-1	-0.005	-	µA
Supply Current (Includes Load Current), I _{DD}	f _{CLK} = 640kHz, T _A = 25°C and CS = 10	-	1.3	3.5	mA
DATA OUTPUTS AND INTR					
Logic '0' Output Voltage, V _{OL}	I _O = 1.8mA, V ₊ = 4.75V	-	-	0.4	V
Logic '1' Output Voltage, V _{OH}	I _O = -360µA, V ₊ = 4.75V	2.4	-	-	V
Three-State Disabled Output Leakage (All Data Buffers), I _O	V _{OUT} = 0V	-3	-	-	µA
	V _{OUT} = 5V	-	-	3	µA
Output Short Circuit Current, I _{DDOUT}	V _{OUT} Short to GND, T _A = 25°C	4.5	6	-	mA
Output Short Circuit Current, I _{DDOUT}	V _{OUT} Short to V ₊ , T _A = 25°C	9.0	16	-	mA

- NOTES:
- All voltages are measured with respect to GND, unless otherwise specified. The separate AGND point should always be wired to the GND, being careful to avoid ground loops.
 - For V_{AG1} > V_{AG2}, the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see Block Diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V₊ supply. The careful, during testing at low V₊ levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct, especially at elevated temperatures, and cause errors for analog inputs near full scale. As long as the analog V_{IN} does not exceed the supply voltage by more than 50mV, the output code will be correct. To achieve an absolute 0V to 5V input voltage range will therefore require a minimum supply voltage of 4.50V over temperature variations, initial tolerance and loading.
 - With V₊ = 5V, the digital logic interfaces are no longer TTL compatible.
 - With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock dividers are primed to start the conversion process.
 - The CS input is assumed to bracket the WR enable input so that timing is dependent on the WR pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the WR pulse (see Timing Diagrams).
 - CLK IN (pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately.
 - None of these A/Ds require a zero-adjust. However, if an all zero code is desired for an analog input other than 0V, or if a narrow full scale span exists (for example 0.5V to 4V full scale) the V_{AG1} input can be adjusted to achieve this. See the Zero Error description in this data sheet.

Timing Waveforms

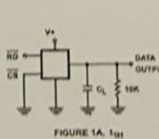


FIGURE 1A. t_{HSZ}

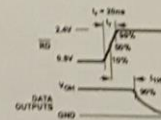


FIGURE 1B. t_{HSZ}, C_L = 15pF