

NOM :

PRENOM :

Lundi 11 janvier 2016

PROMOTION :

Contrôle de connaissances N°2
Systèmes Numériques
Partie Électronique Numérique

(Durée conseillée 1h)

Aucun document autorisé – Calculatrice non programmable autorisée

Tous les exercices sont indépendants

Vous devez répondre impérativement sur le sujet.

1. Serrure codée.

Un dispositif d'ouverture d'une porte comporte deux boutons poussoirs P1 et P2. Pour pouvoir déclencher l'ouverture de la porte il faut appuyer une fois sur P1 puis deux fois sur P2 (soit une séquence P1P2P2).

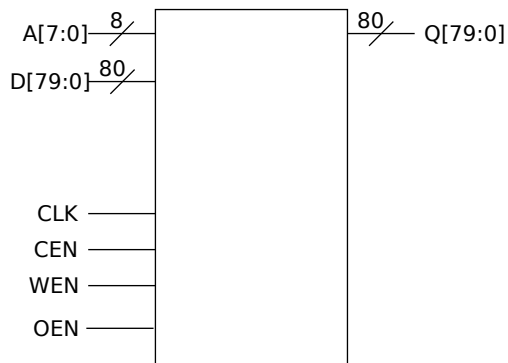
On considérera une sortie logique au système appelée S qui permettra l'ouverture de la porte.

Pour la réalisation du système on utilisera une machine synchrone à états finis utilisant le formalisme de Moore.

Déterminez le diagramme d'état de ce machine.

2. Un éthylomètre est réalisé autour d'un convertisseur analogique numérique 8bits et permet de mesurer des taux d'alcoolémie de 0g d'alcool par litre d'air expiré à 3g par litre d'air expiré. Le constructeur du CAN indique une erreur de non-linéarité de +/- 1LSB et une erreur de pleine échelle de +/- 0,5LSB
- a) Calculez la valeur nominale en binaire à la sortie du CAN pour un taux d'alcoolémie mesuré de 0,4g par litre d'air expiré en considérant que le CAN donne un résultat arrondi à la valeur la plus proche
- b) Quels sera plage de valeurs numériques possibles en sortie pour 0,4g d'alcool par litre d'air expiré si on tient compte de toutes les erreurs internes du CAN
- c) Quelle sera la précision en g d'alcool par litre d'air expiré de l'éthylomètre si l'on considère uniquement le CAN comme source d'imprécision?

3. Soit la mémoire SSRAM de marque *ST* et de référence RA1SHD dont le symbole est donné ci dessous :



Pin Description

Pin	Description
A[7:0]	Addresses (A[0] = LSB)
D[79:0]	Data Inputs (D[0] = LSB)
CLK	Clock Input
CEN	Chip Enable
WEN	Write Enable
OEN	Output Enable
Q[79:0]	Data Outputs (Q[0] = LSB)

Vous trouverez en annexe un extrait de la documentation constructeur de cette mémoire

- a) Rappelez en quelques lignes ce qu'est une SRAM

- b) Justifier la présence du signal CLK sur cette mémoire. Quel est exactement son type ?

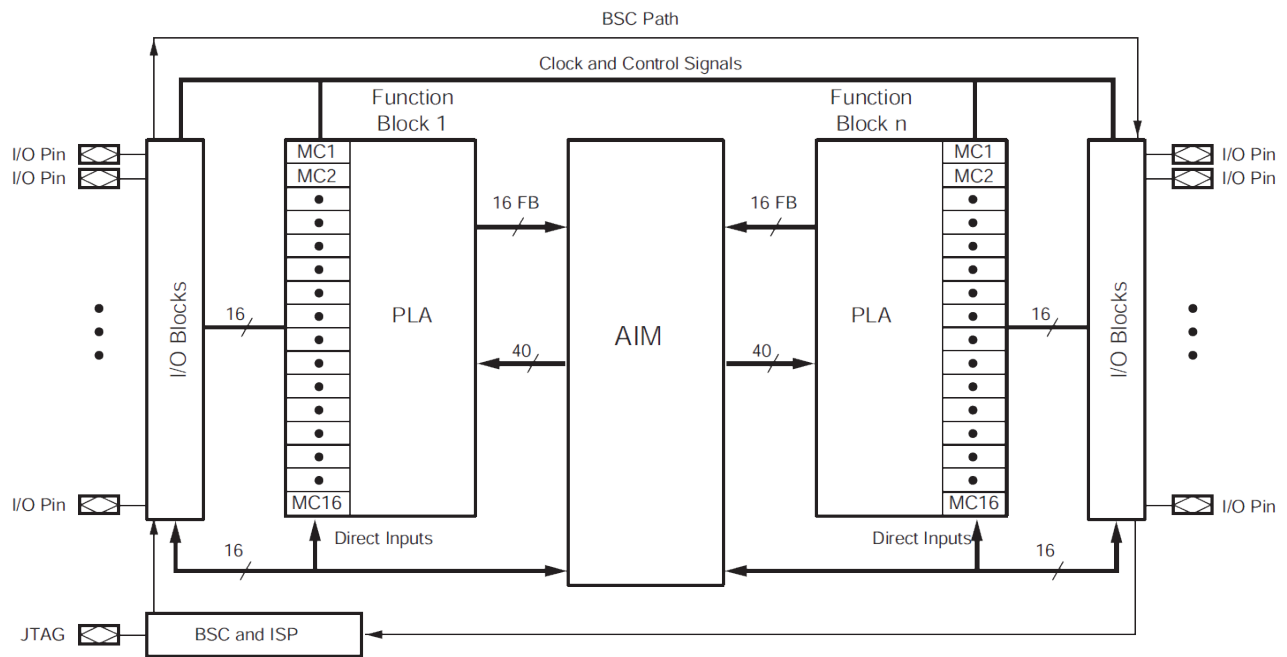
- c) Décrivez les opérations successives à réaliser pour effectuer la lecture d'une valeur stockée dans cette mémoire

- d) Compte-tenu des caractéristiques de la mémoire combien pourra-t-on effectuer de lectures par seconde à l'aide de cette mémoire ? **Justifiez impérativement**

- e) Déterminez la capacité de cette mémoire exprimée en bits et en mots en spécifiant la largeur des mots.

- f) On désire doubler la capacité en mots de cette mémoire en utilisant 2 boîtiers identiques. Proposez un schéma de câblage de ces 2 boîtiers permettant cela en n'omettant aucune des lignes présentes sur les boîtiers.

4. Soit le schéma-bloc suivant :



a) S'agit-t-il d'un CPLD ou d'un FPGA ? **Justifiez impérativement votre réponse**

b) Expliquez en quelques mots à quoi correspondent chacun des blocs nommés sur le schéma AIM, PLA et I/O BLOCKS.

c) Quelle technologie mémoire utilise probablement ce circuit pour stocker sa configuration (SRAM OU EEPROM) ? Que permet cette technologie ?

5. Un système embarqué comporte un microprocesseur 8 bits dont le bus d'adresse comporte 18 lignes numérotés de A_{17} à A_0 .
La mémoire RAM présente sur le système a pour adresse de début $20000_{(H)}$ et $21FFF_{(H)}$ comme adresse de fin.

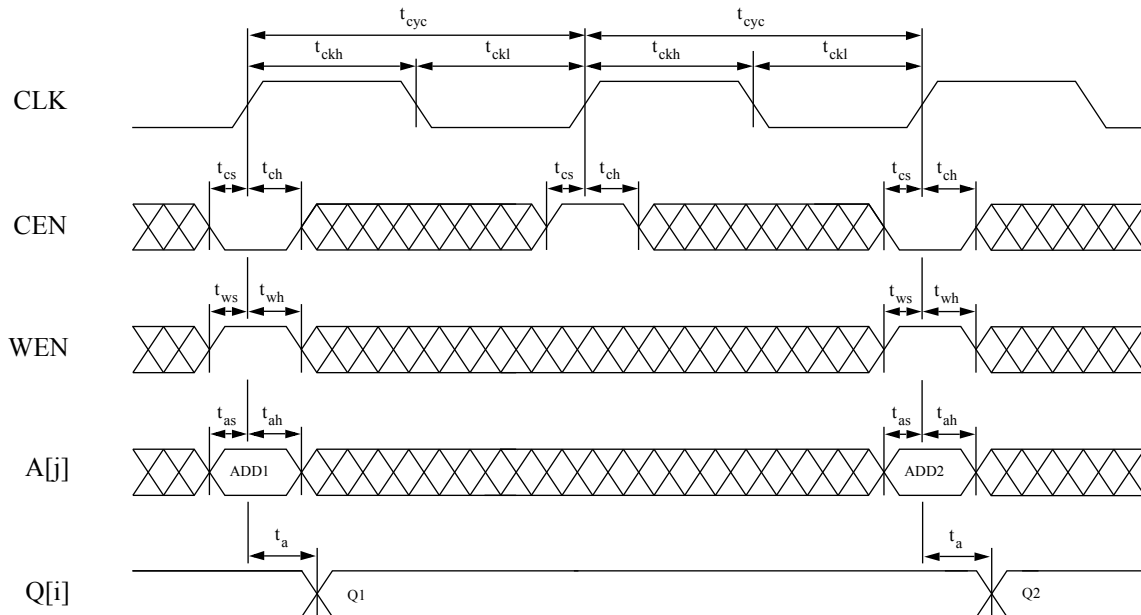
- a) Déterminez la taille la mémoire RAM en octet ainsi que le nombre de lignes d'adresse de cette mémoire.
- b) Si le décodage utilisé est complet déterminez l'équation de la ligne \overline{CS}_{RAM} de la mémoire RAM sachant que cette ligne est active au niveau bas.

On ajouter au système une mémoire EEPROM de taille 64Ko dont la ligne \overline{CS} active au niveau bas a pour équation :

$$\overline{CS}_{EEPROM} = A_{17}$$

- c) Déterminez le nombre de lignes d'adresses de la mémoire EEPROM
- d) Déterminez l'adresse de début et de fin de la mémoire . Le décodage est-il complet ?

Synchronous Single-Port SRAM Read-Cycle Timing



Rising delays are measured at 50% of VDD and falling delays are measured at 50% of VDD.
Rising and falling slews are measured from 10% VDD to 90% VDD.

SRAM Timing: Mission Mode

Parameter	Symbol	Fast@-40C Process 1.98V, -40°C		Fast@0C Process 1.98V, 0°C		Typical Process 1.80V, 25°C		Slow Process 1.62V, 125°C	
		Min (ns)	Max (ns)	Min (ns)	Max (ns)	Min (ns)	Max (ns)	Min (ns)	Max (ns)
Cycle time	t_{cyc}	0.83		0.89		1.27		2.27	
Access time	t_a	0.84			0.89		1.39	2.39	
Address setup	t_{as}	0.17		0.18		0.26		0.52	
Address hold	t_{ah}	0.02		0.03		0.03		0.09	
Chip enable setup	t_{cs}	0.27		0.29		0.39		0.63	
Chip enable hold	t_{ch}	0.00		0.00		0.00		0.00	
Write enable setup	t_{ws}	0.27		0.28		0.37		0.64	
Write enable hold	t_{wh}	0.00		0.00		0.00		0.00	
Data setup	t_{ds}	0.11		0.12		0.18		0.36	
Data hold	t_{dh}	0.00		0.00		0.00		0.00	
Output enable to hi-Z	t_{hz}		0.46		0.48		0.65		1.04
Output enable active	t_{lz}		0.43		0.44		0.60		0.93
Clock high	t_{ckh}	0.07		0.08		0.11		0.19	
Clock low	t_{ckl}	0.11		0.11		0.17		0.30	
Clock rise slew	t_{ckr}		4.00		4.00		4.00		4.00
Output load factor (ns/pF) K_{load}			0.27		0.28		0.38		0.57