

16430  
14420  
2050

**MODULE A12**  
**Durée 2h00**

**Le 29/01/2001**  
**Sans document**  
**Calculatrice autorisée**

**QROC**

NOM:

PRENOM :

Le correcteur appréciera le soin apporté à la copie.

Barème probable : 5 - 3 - 3 - 4 - 3 - 4

**EXERCICE N°1**

*Pour chaque phrase, dire si cette affirmation est vraie (V), fausse (F) ou si vous ne savez pas (NSP). Vous entourerez la réponse convenable.*

*Attention, pour la correction, le barème sera +0.5 si la réponse est correcte, -0.5 si la réponse est fausse et 0 si la réponse est NSP*

- 1- Tous les circuits logiques de la famille CMOS ont une sortance très élevée, seule la fréquence de fonctionnement peut limiter la sortance acceptable.  V  F  NSP
- 2- Sur un compteur asynchrone, toutes les sorties changent d'état rigoureusement en même temps.  V  F  NSP
- 3- Un circuit décrit avec un langage de haut niveau (de type VHDL) permet, lorsqu'il est compilé correctement, de s'affranchir de toute simulation.  V  F  NSP
- 4- Une entrée d'une porte logique en technologie TTL laissée non connectée est considérée par le circuit comme un 1 logique.  V  F  NSP
- 5- L'erreur de quantification est une erreur incompressible pour tous les convertisseurs numériques-analogiques (CAN)  V  F  NSP
- 6- L'élément de base d'une FLASH EPROM est un bistable  V  F  NSP
- 7- Une mémoire RAM dynamique nécessite un rafraichissement (combiné)  V  F  NSP
- 8- Dans un microprocesseur, la ligne  $\overline{RW}$  est une entrée (de contrôle)  V  F  NSP
- 9- Certains circuits FPGA peuvent perdre leur contenu lors d'une coupure d'alimentation (SRAM)  V  F  NSP
- 10- Un multiplexeur 8/1 permet de synthétiser n'importe quelle fonction combinatoire de trois variables.  V  F  NSP

## EXERCICE N°2

Un convertisseur numérique analogique de 8 bits produit en sortie une tension de 2V pour le code 0110 0100

1- Quelle est la tension de sortie pleine échelle

$$PE : 5,1$$

$$\begin{aligned} 100 &\rightarrow 2V \\ 0110 &\rightarrow (5,1) \end{aligned}$$

2- Donner le quantum de ce convertisseur

$$q = \frac{20 \text{ mV}}{2^8 - 1} = \frac{5,1}{255} = 0,02 \text{ V}$$

3- On suppose l'erreur pleine échelle de +/- 0,5%. Donner un encadrement de la valeur de sortie correspondant au code d'entrée 1011,0011

$$\pm 0,5\%$$

$$\underline{1011,0011} \rightarrow (17,5)_{10}$$

$$17,5 \times 20 \cdot 10^{-3} = 3,5 \text{ V}$$

$$\frac{0,5}{100} \times 5,1 \rightarrow 0,0255 \text{ V}$$

$$3,58 \pm 0,0255 \text{ V}$$

### EXERCICE N°3

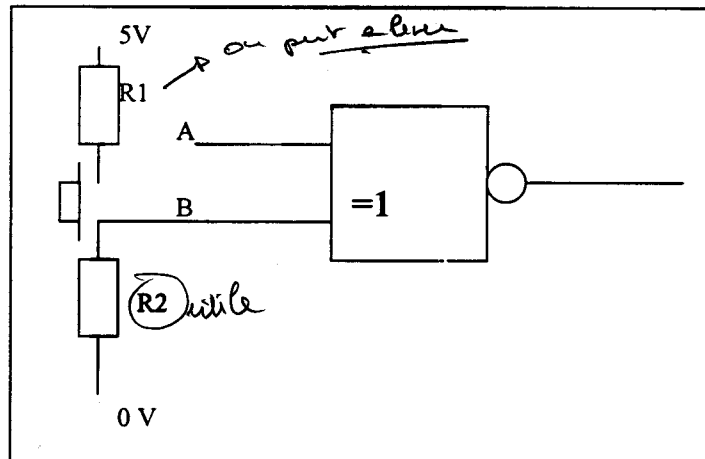
Soit le tableau suivant, donné pour une tension d'alimentation de 5 V :

	-----CMOS-----			-----TTL-----			
	4000B	74 HC	74 HCT	74	74LS	74 AS	74ALS
$V_{IHmin}$	3.5V	3.5V	2V	2V	2V	2V	2V
$V_{ILmax}$	1.5V	1V	0.8V	0.8V	0.8V	0.8V	0.8V
$V_{OHmin}$	4.95V	4.9V	4.9V	2.4V	2.7V	2.7V	2.7V
$V_{OLmax}$	0.05V	0.1V	0.1V	0.4V	0.5V	0.5V	0.4V
$I_{IHmax}$	1 $\mu$ A	1 $\mu$ A	1 $\mu$ A	40 $\mu$ A	20 $\mu$ A	200 $\mu$ A	20 $\mu$ A
$I_{IImax}$	1 $\mu$ A	1 $\mu$ A	1 $\mu$ A	1.6mA	0.4mA	2mA	100 $\mu$ A
$I_{OHmax}$	0.4mA	4mA	4mA	0.4mA	0.4mA	2mA	400 $\mu$ A
$I_{OLmax}$	0.4mA	4mA	4mA	16mA	8mA	20mA	8mA

1/ Une porte logique de la famille 74 ALS peut-elle piloter 4 portes de la famille 74 HCT. Justifier votre réponse

oui  
 tension  $\rightarrow$   
 courants  $\rightarrow$

2/ Soit le schéma suivant :



Un bouton poussoir permet d'assurer le niveau logique de l'entrée B de la porte logique (technologie TTL-ALS). Ce bouton poussoir est relié via deux résistances aux alimentations 5V et 0 V.

Dire quelle résistance peut être supprimée ? pourquoi.

$R_1$

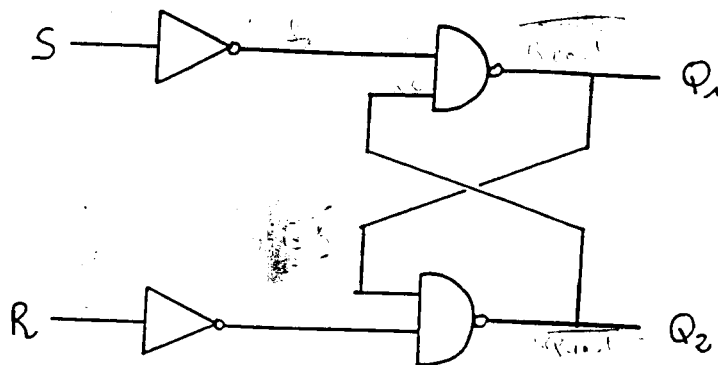
Quelle est la condition à respecter sur l'autre résistance ? justifier

afin de surveiller  $V_B < 0,8U$

$R_2 \times I_{IL} < 0,8U$

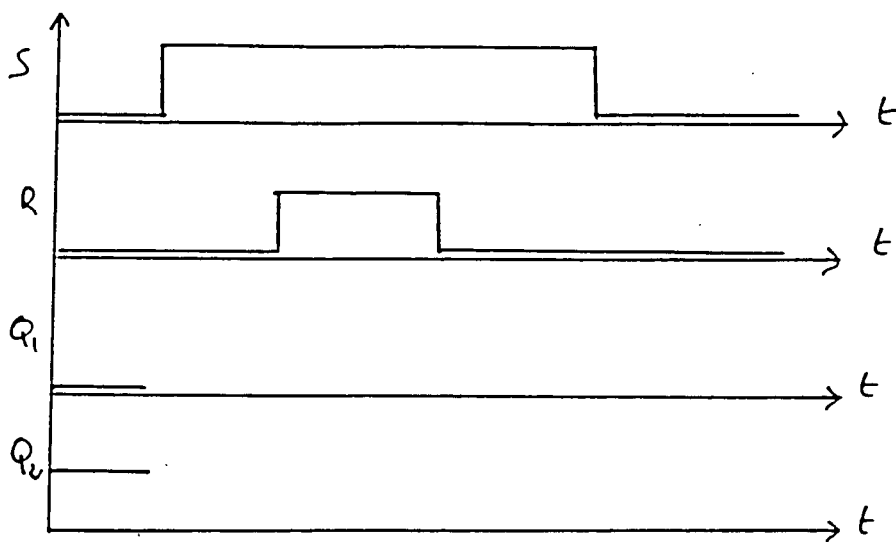
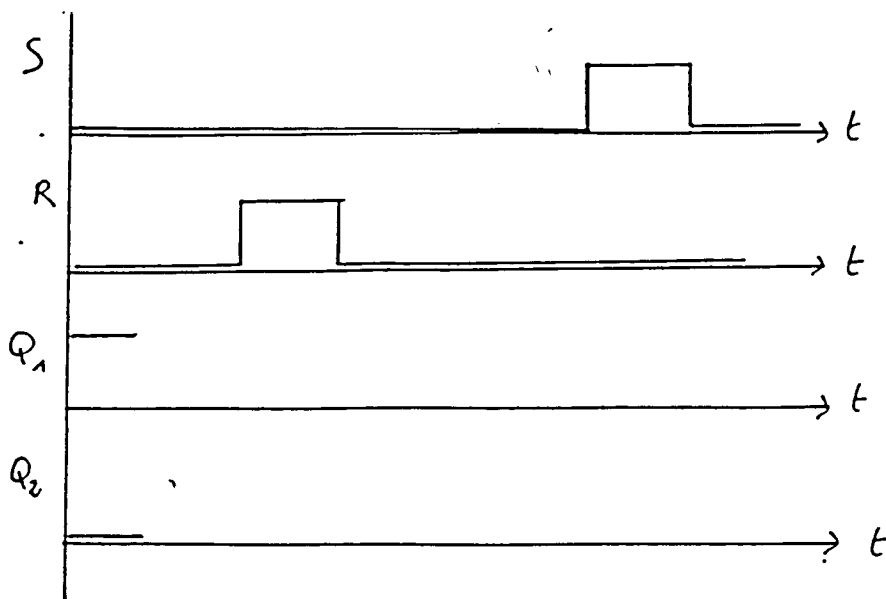
# EXERCICE N°4

Soit la bascule ci dessous :



S	R	Q1	Q2
0	0		
0	1		
1	0		
1	1		

Compléter les chronogrammes dans les deux cas ci dessous :



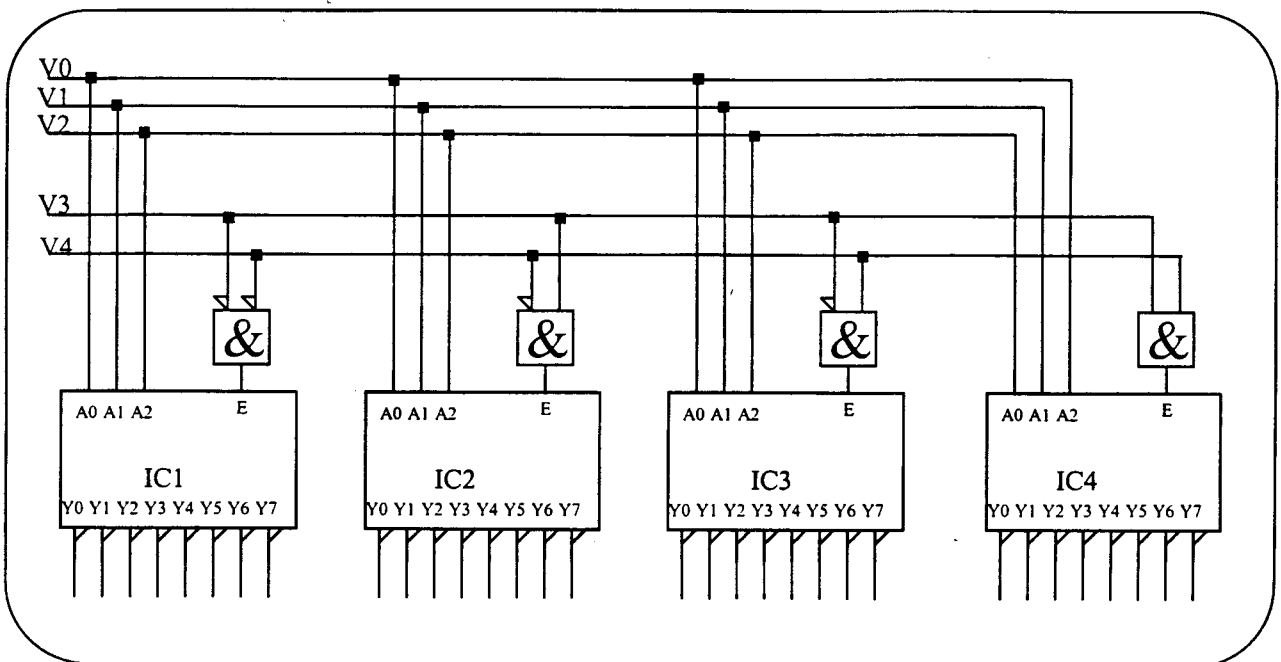
## EXERCICE N°5

Soit le schéma donné ci-dessous. Les quatre circuits utilisés sont identiques : décodeurs 3→8 avec entrée de validation E. Cette entrée de validation commande le fonctionnement ou non de la fonction décodage :

- E=0 : toutes les sorties du décodeur sont à 1.
- E=1 : fonctionnement normal (attention : sorties Y du décodeur actives au niveau 0)

a) Si les lignes  $V_4, V_3, V_2, V_1, V_0$  sont respectivement à 10110. Quels sont les états des sorties des 4 circuits logiques ?

b) En considérant plusieurs cas successifs sur les lignes V, quelle est la fonction réalisée par le système? Justifiez votre réponse.



## EXERCICE N°6

Un microprocesseur a 16 lignes d'adresse notées A15...A0 et un bus de données d'une largeur de 8 bits. On désire relier ce microprocesseur à une mémoire ROM de 16k \* 8 et une mémoire RAM de 8 k\*8. Chacun des boîtiers comporte une entrée de sélection active à l'état bas (CS/).

1- Donner la largeur du bus d'adresse pour chacun des boîtiers mémoire

2- On désire réaliser le décodage d'adresse permettant la sélection de chacun des boîtiers RAM et ROM. L'adresse de début de la RAM est fixée à 0000<sub>H</sub>, l'adresse de fin de la ROM est fixée à FFFF<sub>H</sub>.

- Donner le plan d'adressage désiré

- Proposer une solution avec décodage complet. On utilisera de préférence un décodeur (sorties actives à l'état bas) et des portes logiques de base. On représentera le microprocesseur et les mémoires par des boîtiers fonctionnels simples.